

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020020096809 A
(43)Date of publication of application: 31.12.2002

(21)Application number: 1020010052395
(22)Date of filing: 29.08.2001
(30)Priority: 21.06.2001 US 2001 884912

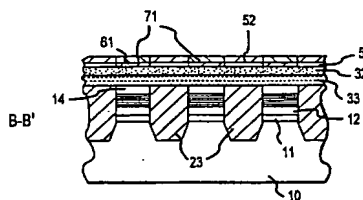
(71)Applicant: SAMSUNG ELECTRONICS CO., LTD.
(72)Inventor: KANG, HO GYU
KIM, U SIK
SONG, SEUNG HEON

(51)Int. Cl. H01L 27/10

(54) METHOD FOR FABRICATING STTM CELL

(57) Abstract:

PURPOSE: A method for fabricating an STTM(Scalable Two Transistor Memory) cell is provided to fabricate the STTM cell within an area of a small unit cell as much as 4F² where F width of a data line or a write line and the minimum design rule corresponding to a gap therebetween.



CONSTITUTION: The first gate dielectric layer(11), the first conductive layer(12), a plurality of tunnel junction barrier, and the second doped semiconductor layer(14) are formed on a semiconductor substrate (10). A CMP(Chemical Mechanical Polishing) barrier is formed thereon. A mesh pattern is formed by etching the CMP barrier, the second doped semiconductor layer(14), the tunnel junction barriers, the first conductive layer(12), and the first gate dielectric layer (11). The first insulating layer(23) is formed thereon. The third conductive layer and a capping layer(32) are formed on a whole surface of the above structure. A plurality of data lines(33) are formed by performing an etch process. An etch stop layer(51) is formed on the whole surface of the above structure. The second insulating layer(52) is formed on the etch stop layer(51). The second gate dielectric layer is formed by depositing an insulating layer(61) on the whole surface of the above structure. A plurality of write lines(71) are formed by performing a damascene process.

© KIPO.2003

Legal Status

Date of final disposal of an application (20030428)

Patent registration number (1003919850000)

Date of registration (20030707)

특 2002-0096809

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
H01L 27/10

(11) 공개번호 특2002-0096809
(43) 공개일자 2002년12월31일

| | |
|------------|---|
| (21) 출원번호 | 10-2001-0052395 |
| (22) 출원일자 | 2001년06월29일 |
| (30) 우선권주장 | 09/884,912 2001년06월21일 미국(US) |
| (71) 출원인 | 삼성전자 주식회사 |
| (72) 발명자 | 경기 수원시 팔달구 매탄3동 418번지 김우식 경기도수원시팔달구영통동955-1황골주공아파트133동406호 송승현 경기도성남시분당구구미동201무지개마을304동506호 강호규 경기도성남시분당구수내동36양지마을212-803 |
| (74) 대리인 | 임창현 |

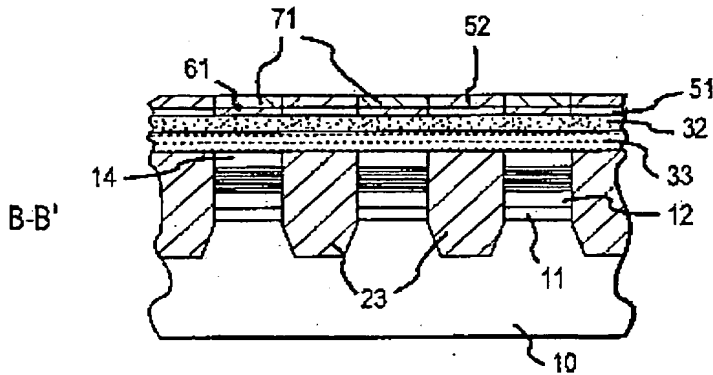
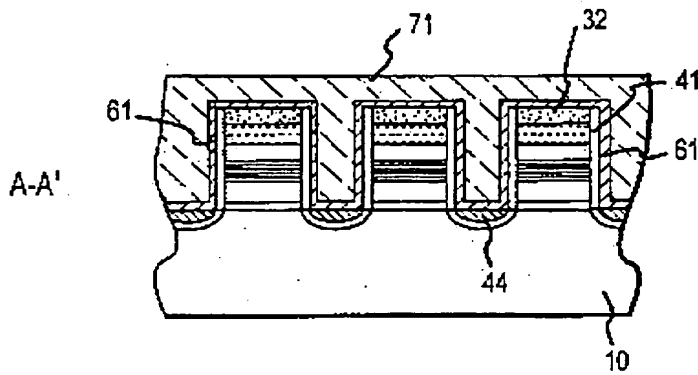
심사청구 : 있음

(54) 축소가능한 2개의 트랜지스터로 구성된 기억소자의 제조방법

요약

다수의 터널접합 장벽층을 구비하고 축소가능한 2개의 트랜지스터들로 구성된 단위 셀의 면적이 $4F^2$ 만큼 작은 기억 소자의 셀 어레이 형성방법을 제공한다. 여기서, 'F'는 최소크기, 즉 데이터 라인을 또는 쓰기 라인을(워드라인을 또는 제어게이트 라인들)의 선폭 또는 그들 사이의 간격을 나타낸다. 이 방법은 우수한 표면 평탄도와 아울러 물질막의 종류 및 두께를 설정하는 측면에서 다양성을 갖도록 설계된 특징을 갖는다. 또한 이 제조공정은 셀 어레이 영역과 주변회로 영역이 동시에 형성되는 장점을 가지며, 이에 따라 전체 공정수를 현저히 감소시킬 수 있다. 주변회로의 트랜치 소자분리 절연막, 소오스/드레인 영역 및 게이트 영역들은 그들과 상응하는 셀 어레이 내의 영역들과 동시에 형성된다.

도 1



명세서

도면의 간단한 설명

도 1은 전형적인 축소가능한 2개의 트랜지스터 기억(STTM; scalable two transistor memory) 셀의 개략도이다.

도 2는 본 발명의 일 실시예에 따라 반도체기판 상에 형성된 다수의 터널링 접합(MTJ; multiple tunnel junction) 장벽을 구성하는 여러가지의 절연층 및 반도체층들의 적층상태를 보여주는 단면도이다.

도 3a는 본 발명의 일 실시예에 따라 절연체(산화막)로 채워진 트랜치들로 소자분리 섬들(21)을 형성한 후의 메쉬(mesh) 패턴 형태를 갖는 기억 셀 어레이의 부분적인 평면도이다.

도 3b는 도 3a의 C-C'에 따라 취해진 메모리 셀 어레이의 단면도이다.

도 4a는 본 발명의 일 실시예에 따라 데이터 라인들(33)을 형성한 후의 메모리 셀 어레이의 부분적인 평면도이다.

도 4b는 도 4a의 A-A'를 따라 취해진 기억 셀 어레이의 단면도이다.

도 4c는 도 4a의 B-B'를 따라 취해진 기억 셀 어레이의 단면도이다.

도 5a는 본 발명의 일 실시예에 따라 데이터 라인들(33) 사이에 비트라인들(45)을 형성한 후의 기억 셀 어레이의 부분적인 평면도이다.

도 5b는 도 5a의 A-A'에 따라 취해진 기억 셀 어레이의 단면도이다.

도 6a는 도 5a의 A-A'에 따라 취해진 단면도로서, 쓰기 라인들을 형성하기 위한 식각공정 전에 비트라인

들을 형성한 후의 기억 셀 어레이의 단면도이다.

도 6b는 도 5a의 B-B'에 따라 취해진 단면도로서, 쓰기 라인들을 형성하기 위한 식각공정 전에 비트라인들을 형성한 후의 기억 셀 어레이의 단면도이다.

도 7a는 도 5a의 A-A'에 따라 취해진 단면도로서, 본 발명의 일 실시예에 따라 쓰기 라인(제어게이트 라인)들을 형성하기 전의 기억 셀 어레이의 단면도이다.

도 7b는 도 5a의 B-B'에 따라 취해진 단면도로서, 쓰기 라인(제어게이트 라인)들을 형성하기 전의 기억 셀 어레이의 단면도이다.

도 8a는 본 발명의 일 실시예에 따라 쓰기 라인(제어게이트 라인)들을 형성한 후의 기억 셀 어레이의 부분적인 평면도이다.

도 8b는 도 8a의 A-A'에 따라 취해진 단면도로서, 쓰기 라인(제어게이트 라인)들을 형성한 후의 기억 셀 어레이의 단면도이다.

도 8c는 도 8a의 B-B'에 따라 취해진 단면도로서, 쓰기 라인(제어게이트 라인)들을 형성한 후의 기억 셀 어레이의 단면도이다.

도 9a는 본 발명의 일 실시예에 따라 제2 도우핑된 반도체층(14) 및 다수의 터널 접합 적층체(13)의 건식 식각 전의 기억 셀 어레이 및 그 주변 소자들의 부분 단면도이다.

도 9b는 본 발명의 일 실시예에 따라 제2 도우핑된 반도체층(14) 및 다수의 터널 접합 적층체(13)의 건식 식각 후의 기억 셀 어레이 및 그 주변 소자들의 부분 단면도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 소자의 제조방법에 관한 것으로, 특히 미세한 크기의 기억 셀 어레이 및 그 주변 회로의 제조방법에 관한 것이다.

디램(DRAM) 소자는 에스램(SRAM) 소자와 같은 다른 기억 소자들에 비하여 고집적화가 가능한 장점을 가지나, 기억 셀들로부터의 누설전류, 내부 잡음 및 외부로부터 입사되는 알파 입자들에 의해 발생하는 소프트 에러에 기인하여 소자의 죽소가 요구되어짐에 따라 감소되는 저장된 전하들을 유지하는 것이 힘들다. 이에 따라, 그러한 소자들의 기억 셀들은 기억 셀에 저장된 데이터를 유지하기 위하여 일정한 리프래쉬 동작을 요구한다. 따라서, 대기 상태에서조차도 전력소모가 증가한다.

이와는 다르게, 플래쉬 메모리 소자들 또는 EEPROM 소자들은 기억 셀에 저장된 데이터를 유지하기 위하여 기억 셀을 리프래쉬시킬 필요가 없는 장점을 갖는다. 그러나, 플래쉬 메모리소자의 1차적인 결점은 기억 셀을 프로그램시키는 데 상대적으로 긴 시간이 걸리므로 그 것의 상대적인 느린 액세스 시간을 개선하기가 어렵다는 것이다. 이에 더하여, 플래쉬 메모리소자의 기억 셀을 프로그램(쓰기) 또는 소거시키기 위해서는 높은 전압이 필요하다. 소거 및 프로그램 동작이 실시되는 동안 가해지는 높은 전압은 산화막으로 이루어진 터널링 장벽층의 막질을 저하시킨다. 이러한 현상은 소거 및 프로그램 동작의 횟수가 증가할수록 심화된다. 일반적으로, 소거 및 프로그램 동작의 횟수가 약 10^6 회에 도달하면 산화막으로 이루어진 터널링 장벽층의 기능이 상실된다. 결과적으로, 메모리 소자는 제한된 수명을 갖는다.

따라서, 디램 및 플래쉬 메모리소자의 장점들을 모두 갖는 새로운 기억 셀이 요구되고 있다. 다시 말해서, 장시간의 데이터 유지, 낮은 동작전압, 고속 동작, 고신뢰성 및 집적도와 관련되어 축소가 가능한 기억 셀을 갖는 반도체 기억소자에 대한 필요성이 요구되고 있다. 축소가 가능한 2개의 트랜지스터 기억 셀(scalable two transistor memory cell; STTM cell)이라고 불리는 그러한 새로운 기억 셀이 나카자토(Nakazato) 등에 의해 제안된 바 있다(IEDM 97, pp. 179-182 및 미국특허 제5,952,692호 참조). 나카자토 등은 상기 새로운 소자를 평면 국부 전자소자 기억(planar localized electron device memory; PLEDM) 셀이라고 언급하고 있다. 이 기억 셀은 비휘발성, 고속 동작, 낮은 전력소모 및 고집적도의 특징을 갖는다. 또한, 이 기억 셀은 전기적으로 고립된 기억 노드를 가지므로 소프트 에러에 대한 내성이 우수하고, 신호 대 잡음의 비(S/N 비)가 높으므로 이득(gain)이 높다. 이에 더하여, 이 기억 셀은 한 캐리어에 의한 열화 없이 상온에서 동작하는 양자 터널링 소자이고, 기존의 실리콘 공정 기술을 사용하여 제작할 수 있다.

도 1은 전형적인 STTM 셀의 개략도이다. 상기 STTM 셀은 읽기 또는 액세스 트랜지스터라고 알려진 센싱 트랜지스터(1)와, 쓰기 트랜지스터라고 알려진 프로그램 트랜지스터(2)를 포함한다. 상기 센싱 트랜지스터(1)는 기본적으로 기억 셀의 스토리지 노드 역할을 하는 부유 게이트, 비트라인에 해당하는 센싱라인(S) 역할을 하는 드레인, 및 접지 전위 또는 일정 전위를 갖는 접지선(B)의 역할을 하는 소오스로 이루어진 통상의 MOS 트랜지스터이다. 상기 프로그램 트랜지스터(2)는 상기 센싱 트랜지스터(1)의 스토리지 노드 상에 적층된 다수의 터널 접합(MTJ; multiple tunnel junction) 장벽 구조체와, 쓰기 라인으로 알려진 제어게이트 라인(X) 역할을 하면서 상기 MTJ 장벽 구조체 및 상기 스토리지 노드의 측면을 상에 형성된 제어게이트와, 데이터 라인(Y)의 역할을 하면서 상기 MTJ 장벽 구조체의 상부 영역과 전기적으로 접속된 소오스 영역을 포함한다. 상기 스토리지 노드는 또한 상기 프로그램 트랜지스터(2)의 드레인 역할을 한다. 상기 프로그램 트랜지스터(2)는 기본적으로 통상의 부유게이트 MOS 트랜지스터 상에 위치한 수직 채널 트랜지스터이다.

쓰기 모드에서, 상기 데이터 라인(Y)에 데이터 전압이 인가되고, 상기 쓰기(제어게이트) 라인(X)에 쓰기 전압, 즉 프로그램 전압이 인가된다. 이에 따라, 상기 데이터 라인(Y) 및 상기 스토리지 노드 사이의 장

벽 높이가 감소되어 상기 MTJ 장벽 구조체를 구성하는 절연막을 통하여 터널링 전류가 흐른다. 결과적으로, 상기 스토리지 노드에 전하들(전자들 또는 정공들)이 저장된다. 이들 저장된 전하들은 상기 센싱 트랜지스터(1)의 문턱전압을 변화시킨다. 예를 들면, 상기 스토리지 노드에 전자들이 저장되고 상기 센싱 트랜지스터(1)가 NMOS 트랜지스터인 경우에, 상기 센싱 트랜지스터(1)의 문턱전압은 양의 전압 방향으로 증가된다. 상기 STTM 셀의 쓰기 동작은 플래시 메모리 소자에 비하여 낮은 쓰기 전압을 사용하여 달성될 수 있다. 이는 상기 스토리지 노드에 주입되는 전하들이 상기 데이터 라인(D)과 아울러 상기 쓰기(제어) 라인(X)에 의해 제어되기 때문이다.

상기 STTM 셀 내에 저장된 데이터를 읽어내기 위해서는, 상기 쓰기(제어) 라인(X)에 읽기 전압을 인가하고, 상기 접지 라인(G)에 적절한 전압을 인가한다. 다음에, 상기 센싱 라인(S)을 통하여 흐르는 전류를 감지증폭기(도시하지 않음)가 판별한다. 이 경우에, 상기 센싱 트랜지스터(1)의 문턱전압이 상기 읽기 전압보다 높으면, 상기 센싱 라인(S)에는 전류가 흐르지 않는다. 그러나, 상기 센싱 트랜지스터(1)의 문턱전압이 상기 읽기 전압보다 낮으면, 상기 센싱 라인(S)을 통하여 전류가 흐른다.

상술한 STTM 셀에서, 상기 스토리지 노드는 디램 셀의 스토리지 노드와는 달리 절연물질층에 의해 완전히 둘러싸여진다. 즉, 상기 스토리지 노드는 완전히 플로팅된다. 따라서, 상기 읽기전압이 상기 쓰기전압보다 훨씬 낮은 경우에, 상기 기억 셀을 리프레시할 필요가 없다. 다른 한편, 상기 쓰기 라인은 상기 센싱 트랜지스터를 제어하는 제1 쓰기 라인과 상기 프로그램 트랜지스터를 제어하는 제2 쓰기 라인으로 분리될 수도 있다. 이 경우에, 상기 쓰기전압이 상기 읽기전압과 거의 동일할지라도, 상기 읽기동작 동안 상기 프로그램 트랜지스터는 턴온되지 않는다. 따라서, 상기 쓰기전압 및 상기 읽기전압 사이의 차이에 관계없이 상기 기억 셀을 리프레시하는 것이 요구되지 않는다.

상술한 바와 같이, 디램 셀은 2개의 제어라인들(쓰기라인 및 비트라인)에 의해 동작하는 반면에, 단위 STTM 셀은 3개의 제어라인들(비트라인, 쓰기라인 및 데이터 라인)에 의해 동작한다. 따라서, STTM 소자의 집적도를 증가시키기 위하여 셀 어레이 영역, 데이터 라인의 연장부, 및 비트라인의 연장부의 콤팩트한 배치가 지속적으로 요구된다. 또한, 제한된 셀 피치 내에서 비트 라인과 데이터 라인들에 대한 새로운 열(column) 어드레싱 방식이 지속적으로 요구된다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 $4F^2$ 만큼 작은 단위셀 면적 내에 STTM 셀을 제조하는 방법을 제공하는 데 있다. 여기서, 'F'는 데이터 라인 또는 쓰기 라인의 폭 그리고 그들 사이의 간격에 상응하는 최소 디자인 룰(최소 크기)을 의미한다. 본 발명에 따른 제조공정의 순서 및 조건들은 제조공정의 여러 단계들에서의 표면 평탄화와 함께 각 물질막의 선택 및 두께 측면에서 넓은 공정 여유도를 갖도록 설계된다. 특히, 제조공정의 순서는 전체 공정시간을 절약하기 위하여 기억 셀 및 주변회로 소자들을 동시에 제조하기 위한 목적으로 설계되어진다.

발명의 구성 및 작용

상기 기술적 과제를 이루기 위하여, 본 발명의 바람직한 실시예는 $4F^2$ 의 최소 단위셀 면적 내에 STTM 셀을 제조하기 위한 자기정렬 공정 순서를 제공한다. 여기서, 'F'는 최소 디자인 룰, 즉 데이터 라인과 쓰기 라인들의 폭 및/또는 그들 사이의 간격을 나타낸다. 상기 STTM 셀은 하나의 센싱 트랜지스터(하부 트랜지스터) 및 하나의 프로그램 트랜지스터(상부 트랜지스터)로 구성된다. 상기 프로그램 트랜지스터(상부 트랜지스터)는 상기 센싱 트랜지스터의 부유게이트 상에 위치한 다수의 터널 접합(MTJ) 장벽 구조체를 갖는다. 본 발명의 바람직한 실시예에 따르면, STTM 셀의 제조방법이 제공된다.

본 발명에서, 상기 MTJ 장벽 구조체의 큰 밴드갭을 갖는 절연층들의 전체 또는 일 부분은 CVD 공정기술을 사용하여 형성할 수 있으며, 이러한 CVD 공정기술은 실리콘 질화막, 실리콘 산화막, 실리콘 옥시나이트라이드막, 금속산화막, 금속질화막, 또는 그 이외의 모든 가능한 절연막의 형성을 가능하게 만든다. 상기 프로그램 트랜지스터의 양 측벽을 덮는 게이트 절연막은 CVD 공정에 의해 모두 증착된 다층의 유전체막을 포함하거나 또는 열공정 및 CVD 공정의 조합에 의해 형성된 다층의 유전체막을 포함할 수도 있다.

상기한 바와 같이, 본 발명의 실시예의 특징은 수율을 개선하기 위하여 여러 공정단계에서 완만한 표면단차(평탄도)를 제공하는 것이다. 바람직한 일 실시예에서, 실리콘층 상에 금속막, 금속 실리콘사이드막 또는 폴리사이드막을 추가로 형성하여 센싱라인들 또는 데이터 라인들의 저항을 최소화시킨다.

본 발명에 의해 제공되는 제조공정은 기억 셀 뿐만 아니라 주변회로 소자들을 동시에 형성하는 공정이며, 이에 따라 전체 공정 단계를 감소시켜 제조원가를 낮춘다. 트랜지스터와 같은 소자들을 둘러싸는 트렌치를 형성하는 공정, 상기 트렌치를 절연막으로 채우는 공정, 그리고 소오스/드레인 및 게이트 영역을 형성하는 공정들의 각각은 셀 어레이 영역 및 주변회로 영역에서 동시에 행해진다.

이러한 본 발명의 특징들은 본 발명의 바람직한 실시예, 구체적으로 비트라인, 데이터 라인 및 워드라인(쓰기라인)을 포함하는 3개의 제어라인들을 갖는 STTM 셀 어레이의 제조방법에 의해 구현되며, 상기 각 기억 셀(STTM 셀)은 하부 트랜지스터 및 그 위에 적층된 상부 트랜지스터를 갖는다. 이 방법은

- x축 및 y축을 갖는 기판을 제공하는 단계와,
- 상기 기판 상에 제1 게이트 유전체막을 형성하는 단계와,
- 상기 제1 게이트 유전체막 상에 제1 도전막을 증착하여 스토리지 노드를 형성하는 단계와,
- 상기 스토리지 노드 상에 작은 밴드갭을 갖는 반도체층과 큰 밴드갭을 갖는 절연막을 번갈아가면서 증착하여 다수의 터널접합(MTJ) 장벽층을 형성하는 단계와,
- 상기 MTJ 장벽층 상에 제2 도전막을 증착하여 상부 트랜지스터의 소오스층을 형성하는 단계와,

상기 제2 도전막, 상기 MTJ 장벽층, 상기 제1 도전막, 상기 제1 게이트 유전체막, 및 상기 기판을 식각하여 복수개의 섬 형태의 트렌치 소자분리 영역들을 형성하는 단계와,

상기 트렌치 영역들 내에 제1 절연막으로 이루어진 복수개의 섬 형태의 소자분리막들을 형성하는 단계와,

상기 결과물 상에 제3 도전막으로 이루어진 데이터 라인들을 형성하는 단계와,

상기 기판의 표면이 노출될 때까지 상기 데이터 라인들 사이의 상기 제2 도전막, MTJ 장벽층, 제1 도전막 및 제1 게이트 유전체막을 식각하여 상기 소자분리막들 사이에 y축과 평행한 그루브들을 형성하는 단계와,

상기 노출된 기판에 불순물을 주입하여 상기 그루브들의 바닥에 상기 하부 트랜지스터의 소오스/드레인 확장 영역들을 형성하는 단계와,

상기 그루브들 내에 상기 y축과 평행한 비드라인들을 형성하는 단계와,

상기 결과물의 전면 상에 제2 절연막을 형성하는 단계와,

상기 제2 절연막 상에 제1 게이트 라인들의 형성위치를 한정하는 포토레지스트 패턴을 형성하는 단계와,

상기 x축과 평행한 방향으로 서로 이웃하는 기억 셀들의 상부 및 이들 사이의 상기 제2 절연막을 선택적으로 식각하여 제거하는 단계와,

상기 포토레지스트 패턴을 제거하는 단계와,

상기 MTJ 장벽층의 측벽들 상에 제2 게이트 유전체막을 형성하는 단계와,

상기 결과물의 전면 상에 제4 도전막을 형성하는 단계와,

상기 제4 도전막을 화학기계적 연마(CMP) 또는 에치백 공정으로 평탄화시켜서 워드라인들을 형성하는 단계를 포함한다.

본 발명의 다른 특징에 따르면, 상기 기판은 실리콘 기판, 실리콘 게르마늄 기판, 실리콘 및 실리콘 게르마늄이 차례로 적층된 기판, 실리콘 및 실리콘 게르마늄 카바이드가 차례로 적층된 기판, 및 에스오아이(SOI; silicon on insulator) 기판들중 선택된 어느 하나일 수 있다. 상기 제1 게이트 유전체막은 15 내지 100Å의 두께를 갖는 실리콘 산화막이다. 상기 스토리지 노드를 형성하는 제1 도전막은 최대 5000Å의 두께를 갖는 도우핑된 반도체층이다. 상기 상부 트랜지스터의 소오스층을 형성하는 제2 도전막 역시 최대 5000Å의 두께를 갖는 도우핑된 반도체층이다. 상기 스토리지 노드 및 상기 상부 트랜지스터의 소오스층은 모두 실리콘층, 게르마늄층, 실리콘 게르마늄층 및 실리콘 게르마늄 카바이드층으로 이루어진 일 군중 선택된 물질층으로 형성된다. 상기 MTJ 장벽층은 1000Å 이하의 두께를 갖고 2 eV 보다 낮은 밴드갭을 갖는 반도체층 및 100Å 이하의 두께를 갖고 10 eV 보다 낮은 밴드갭을 갖는 절연막을 1회 내지 10회 교대로 적층시켜서 형성한다. 상기 MTJ 장벽층을 형성하기 위한 상기 반도체층으로 사용되는 물질은 인도우프트 실리콘, 도우프트 실리콘, 게르마늄, 실리콘 게르마늄 및 실리콘 게르마늄 카바이드로 이루어진 일 군중 선택된 어느 하나이다. 상기 MTJ 장벽층을 반도체층은 그 것의 증착 직후의 결정상태가 비정질 또는 다결정을 보이는 온도 범위 하에서 상기 스토리지 노드층 상에 형성된다. 상기 반도체층을 형성하는 데 사용되는 전형적인 온도 범위는 300°C 내지 900°C이다. 상기 MTJ 장벽층을 형성하기 위한 상기 절연막으로 사용되는 물질은 실리콘 산화물, 실리콘 질화물, 실리콘 옥시나이트라이드, 금속 산화물(하프늄 산화물(HfO₂), 지르코늄 산화물(ZrO₂) 또는 알루미늄 산화물(Al₂O₃) 등), 및 금속 질화물(알루미늄 질화물(AIN) 등)로 이루어진 일 군중 선택된 어느 하나이다.

본 발명의 또 다른 특징에 따르면, 상기 프로그램 트랜지스터의 소오스층인 상기 제2 도전막 상에 화학기계적 연마(CMP; chemical mechanical polishing) 저지막을 증착한다. 상기 CMP 저지막은 통상 실리콘 질화막(SiN)막으로 형성한다.

상기 y축 상에 배열된 상기 기억 셀들 사이에 복수개의 트렌치 소자분리 영역들을 형성하기 위한 본 발명의 또 다른 특징에 따르면, 상기 CMP 저지막을 먼저 식각하여 CMP 저지막 패턴을 형성한다. 상기 CMP 저지막 패턴은 상기 제2 도전막, 상기 MTJ 장벽층, 상기 제1 도전막, 상기 제1 게이트 유전체막 및 상기 기판을 식각하여 복수개의 트렌치 영역들을 형성하는 동안 식각 마스크 역할을 한다. 다음에, 상기 트렌치 영역들은 실리콘 산화막과 같은 물질인 제1 절연막으로 채워진다. 상기 제1 절연막은 CMP 공정에 의해 평탄화되어 상기 기판의 전면은 평탄한 표면을 갖는다. 이어서, 상기 CMP 저지막 패턴은 제거되고, 상기 제1 절연막 및 상기 제2 도전막 상에 제3 도전막이 형성된다. 상기 제3 도전막은 고농도로 도우핑된 폴리실리콘막, 폴리사이드막 또는 금속막으로 형성한다.

본 발명의 또 다른 특징에 따르면, 상기 제3 도전막을 형성하기 전에 상기 제2 도전막 상의 자연산화막을 제거하기 위하여 선택적인 세정공정이 실시될 수 있다.

본 발명의 또 다른 특징에 따르면, 상기 제3 도전막 상에 캐핑막을 형성할 수 있다. 상기 캐핑막으로 사용되는 물질은 통상 실리콘 질화물이다. 사진/식각 공정을 사용하여 상기 기판의 표면이 노출될 때까지 상기 캐핑막, 제3 도전막, 제2 도전막, MTJ 장벽층, 제1 도전막 및 제1 게이트 유전체막을 차례로 식각하여 상기 섬 형태의 상기 트렌치 소자분리 영역들 사이에 상기 y축과 평행한 그루브들을 형성한다. 상기 제2 도전막 및 그 아래의 물질막들은 상기 캐핑막을 식각 마스크로 사용하여 건식식각된다. 이에 따라, 자기정렬된 식각공정의 결과를 얻을 수 있다.

본 발명의 또 다른 특징에 따르면, 상기 노출된 기판에 불순물을 주입하기 전에 상기 상부 트랜지스터 게이트 유전체막(즉, 제2 게이트 유전체막)의 하부막을 형성한다. 상기 제2 게이트 유전체막의 하부막은 열산화막 또는 상기 열산화막을 포함하는 다수의 절연체 조합막으로 형성한다. 상기 제2 게이트 유전체막의 하부막을 열산화막으로 형성하는 이유는 상기 MTJ 장벽층 및 상기 데이터 라인들 사이의 상기 기판 표면이 식각되는 동안 발생하는 식각 손상을 치유하기 위함이다.

본 발명의 또 다른 특징에 따르면, 상기 하부 트랜지스터의 소오스/드레인 확장 영역들을 형성한 후에 상기 y축과 평행하게 형성된 상기 그루브들 내의 기억 셀의 측벽 상에 측벽 스페이서를 형성한다. 상기 스페이서는 산화막 또는 절화막으로 형성한다. 상기 스페이서를 형성한 후에, 상기 기판에 높은 도우핑의 이온주입을 실시하여 상기 하부 트랜지스터의 소오스/드레인 확장영역을 내에 고농도 불순물 영역을 형성한다. 상기 고농도 불순물 영역은 비트라인에 해당하는 금속배선의 효과를 보인다. 다른 방법으로, 비트라인을 형성하기 위하여 상기 고농도 불순물 영역 상에 고농도로 도우핑된 폴리실리콘 형성공정, 살리사이드 공정에 의한 금속 살리사이드 형성공정, 폴리사이드 형성공정, 또는 금속 증착공정을 추가로 실시할 수 있다. 상기 비트라인을 형성한 후에 상기 스페이서를 제거한다. 본 발명의 또 다른 특징에 따르면, 상기 MTJ 장벽층의 측벽 상에 상기 제2 게이트 유전체막의 상부막을 형성하기 전에 상기 스페이서를 제거한다.

본 발명의 또 다른 특징에 따르면, 상기 비트라인을 형성한 후에 그리고 상기 제2 절연막을 형성하기 전에 상기 기억 셀 어레이 영역의 전면 상에 콘포말한(conformal) 식각저지막을 형성한다. 상기 식각저지막은 실리콘 옥시나이트라이드막 또는 실리콘 절화막으로 형성한다. 상기 y축과 평행한 그루브들을 채우기 위한 상기 제2 절연막은 CVD 산화막으로 형성한다. 상기 제2 절연막을 형성한 후에 상기 기억 셀 어레이 영역의 표면을 평탄화시키기 위하여 CMP 공정을 실시한다. 상기 x축과 평행한 방향으로 상기 제2 절연막을 식각한 후에 상기 비트라인들이 노출될 때까지 상기 콘포말한 식각저지막을 식각한다. 상기 식각저지막을 식각하는 공정은 건식 식각공정 및/또는 습식 식각공정을 사용하여 실시한다. 상기 결과를 상에 CVD 산화막 또는 CVD 절화막을 증착하여 상기 노출된 비트라인을 덮고 상기 상부 트랜지스터의 측벽 상에 제2 게이트 유전체막을 형성한다.

본 발명의 또 다른 특징에 따르면, 상기 제2 게이트 유전체막은 다층의 절연체막이다. 이 다층의 절연체막은 열적으로 성장시킨 막 및 증착된 막들의 조합막이다. 상기 다층의 절연체막은 실리콘산화막, 실리콘 절화막, 실리콘 옥시나이트라이드막, 금속 산화막 및 금속 절화막으로 이루어진 일 군중 선택된 적어도 하나로 형성한다. 상기 제2 게이트 유전체막을 형성한 후에, 다마신 공정을 사용하여 상기 제2 게이트 유전체막 상에 제4 도전막으로 이루어진 워드라인을 형성한다. 상기 제4 도전막은 금속막, 폴리실리콘막/금속막의 이중층, 또는 폴리실리콘막/살리사이드막의 이중층으로 형성한다. 또한, 상기 제4 도전막은 타이타늄막 및 텅스텐막을 차례로 적층시켜 형성하거나 타이타늄 절화막 및 살리사이드막을 차례로 적층시켜 형성한다.

본 발명의 또 다른 특징에 따르면, STT 셀로 구성된 셀 어레이 영역 및 CMOS 소자들로 구성된 주변회로 영역을 갖는 기억 소자의 제조방법을 제공한다. 이 방법은

반도체기판 상에 게이트 유전체막, 제1 도전막, MTJ 장벽층, 제2 도전막, 및 CMP 저지막을 차례로 형성하는 단계와,

상기 CMP 저지막, 제2 도전막 및 MTJ 장벽층을 선택적으로 제거하여 상기 CMOS 소자들이 형성되는 주변회로 영역에 상기 게이트 유전체막 및 제1 도전막을 남기는 단계와,

상기 결과를 상에 도전막을 형성하는 단계와,

상기 도전막 및 상기 제1 도전막을 패터닝하여 상기 주변회로 영역 내에 상기 CMOS 소자들의 게이트 구조체를 형성함과 동시에 상기 셀 어레이 영역 내에 데이터 라인을 형성하는 단계와,

상기 CMOS 소자들의 소오스/드레인 영역을 형성하는 단계를 포함한다.

상기 주변회로 영역 내의 상기 소오스/드레인 영역들은 상기 셀 어레이 영역 내의 센싱 트랜지스터(하부 트랜지스터)의 소오스/드레인 영역들과 동시에 형성된다. 이에 더하여, 상기 주변회로 영역 내의 소오스/드레인 영역에 대한 콘택을 또한 상기 센싱 트랜지스터의 콘택들과 동시에 형성될 수 있다. 상기 주변회로 영역 내의 콘택들을 형성하기 위한 물질로는 금속, 고농도로 도우핑된 폴리실리콘, 폴리사이드 또는 살리사이드 공정에 의한 살리사이드가 사용될 수 있다. 상기 도전막은 금속막, 도우핑된 폴리실리콘막, 폴리실리콘막/금속막의 이중층, 및 폴리실리콘막/살리사이드막의 이중층으로 이루어진 일 군중 선택된 어느 하나로 형성한다.

이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한, 층이 다른 층 또는 기판 '상'에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 층이 개재될 수도 있다. 이에 더하여, 층이 다른 층의 '하부'에 있다고 언급되어지는 경우에 그것은 다른 층 아래에 직접 형성될 수 있거나 또는 그들 사이에 또 다른 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 나타낸다.

본 발명에서, '패턴'이라는 용어는 요철부위를 갖지 않는 평평한 표면을 의미하고, '식각'이라는 용어는 애칭과 아울러 통상의 습식 또는 건식 식각을 포함한다. 또한, '고농도'라는 용어는 $10^{18}/\text{cm}^3$ 의 도우핑 농도보다 높은 것을 의미한다. 당업자에게 잘 알려져 있을 뿐만 아니라 문헌에서 자주 사용되고 본 발명의 설명에서 사용되는 또 다른 용어들은 명확성을 기하기 위하여 아래와 같이 정의한다.

제어게이트 라인: 쓰기 라인 또는 워드 라인

비트라인: 읽기 라인 또는 센싱 라인

센싱 트랜지스터: 읽기 트랜지스터, 역세스 트랜지스터 또는 하부 트랜지스터

프로그램 트랜지스터: 쓰기 트랜지스터 또는 상부 트랜지스터

본 발명의 바람직한 실시예에서, STT(scalable two transistor memory) 셀의 장벽 구조체는 여러가지의

다른 방법으로 제조될 수 있다. 상기 장벽 구조체는 도전막 및 절연막을 서로 번갈아가면서 적층시킨 다수의 터널 접합(multiple tunnel junction; MTJ) 구조체를 포함한다. 상기 MTJ 구조체를 구성하는 상기 도전막은 반도체층일 수 있다. 상기 MTJ 구조체에서, 상기 반도체층은 상대적으로 얇으며, 상기 절연막보다 더 낮은 에너지 밴드갭을 갖는 물질로 형성된다. 상기 MTJ 구조체는 폴리실리콘막과 실리콘 질화막이 서로 번갈아가면서 형성된 적층 구조체이다(미국특허 제5,952,692호 참조). 상기 실리콘 질화막은 증착된 폴리실리콘막을 암모니아(NH₃) 분위기에서 질화시키어 형성할 수 있으나(미국특허 제5,952,692호 참조), 이 공정은 약 30 Å 내지 40 Å의 최대 두께를 갖는다. 본 발명의 특징들 중의 하나는 물질막의 종류 및 상기 MTJ 구조체를 구성하는 상기 절연막의 두께에 있어서 넓은 범위의 선택이 가능한 공정을 설계하는 것이다.

도 2를 참조하면, 반도체기판(10) 상에 제1 게이트 유전체막(11), 제1 도전막(12; 실리콘막, 게르마늄막, 실리콘 게르마늄막 또는 실리콘 게르마늄 카바이드막과 같은 도우핑된 반도체막), 다수의 터널접합 장벽층(13; MTJ 장벽층) 및 제2 도전막(14; 실리콘막, 게르마늄막, 실리콘 게르마늄막 또는 실리콘 게르마늄 카바이드막과 같은 도우핑된 반도체막)을 차례로 형성한다. 이어서, 상기 제2 도우핑된 반도체층(14) 상에 실리콘 질화막과 같은 화학기적 연마(CMP) 저지막(15)을 형성한다.

상기 반도체기판(10)의 물질은 실리콘, 실리콘 게르마늄, 실리콘 상의 실리콘 게르마늄, 실리콘 상의 실리콘 게르마늄 카바이드 및 에소오마이(SOI; silicon on insulator)로 이루어진 일 군중 선택된 어느 하나이다. 실리콘 산화막일 수 있는 상기 제1 게이트 유전체막(11)은 약 15 내지 100 Å의 두께를 갖는다. 상기 제1 도전막(12)은 기억 셀의 스토리지 노드층 역할을 하고 또한 센싱 모스 트랜지스터(1)의 부유게이트 역할을 한다. 상기 제2 도전막(14)은 프로그램 트랜지스터(2)의 소오스 역할을 한다. 상기 도전막들(12 및 14)은 도우핑된 다결정 반도체층 또는 도우핑된 비정질 반도체층으로 형성할 수 있다. 상기 도우핑된 다결정 반도체층 또는 도우핑된 비정질 반도체층은 실리콘막, 게르마늄막, 실리콘 게르마늄막, 또는 실리콘 게르마늄 카바이드막일 수 있다. 상기 도전막들(12 및 14)의 결정상(다결정 또는 비정질)은 증착 온도 및 후속 공정에서의 온도에 의존하여 결정된다. 상기 스토리지 노드층(12)은 최대 5000 Å의 두께를 갖는다.

상기 MTJ 장벽층(13)은 낮은 밴드갭을 갖는 반도체층 및 큰 밴드갭을 갖는 절연막을 교대로 반복적으로 적층시키어 형성한다. 상기 MTJ 장벽층(13)의 전체 층수는 2 내지 20이다. 상기 MTJ 구조체(13)의 절연막들의 각각은 상기 반도체층의 장벽높이(2eV 보다 낮음)보다 높으면서 약 10 eV보다 낮은 장벽높이를 갖는 물질막으로 형성하는 것이 바람직하다. 예를 들면, 상기 MTJ 구조체(13)의 절연막은 실리콘 질화막, 실리콘 옥시나이트라이드막, 금속 산화막 또는 금속 질화막으로 형성하되 100 Å 이하의 두께로 형성하는 것이 바람직하다. 상기 금속 산화막은 알루미늄 산화막, 하프늄 산화막 또는 지르코늄 산화막에 해당하고, 상기 금속 질화막은 알루미늄 질화막에 해당한다. 또한, 상기 MTJ 구조체(13)의 반도체층들의 각각은 전성 반도체층, 언도우프트 반도체층 및 도우핑된 반도체층으로 이루어진 일 군중 선택된 어느 하나로 형성하되, 1000 Å 이하의 두께로 형성하는 것이 바람직하다. 여기서, 상기 반도체층은 실리콘막, 게르마늄막, 실리콘 게르마늄막 또는 실리콘 게르마늄 카바이드막이다. 상기 실리콘막은 300°C 및 900°C 사이의 온도에서 형성할 수 있다. 즉, 증착직후의 결정상태가 비정질 또는 다결정일 수 있다. 증착직후의 반도체층이 비정질 상태인 경우에, 상기 반도체층은 후속 공정을 진행하는 동안 다결정 상태로 변할 수 있다.

수직인 양 축벽 게이트 MTJ 소자(상부 트랜지스터)의 소오스 영역의 역할을 하는 상기 제2 도전막(14)의 두께는 최대 5000 Å이다. 상기 CMP 저지막(15) 상에 사진공정을 사용하여 도 3a에 보여진 바와 같이 필드 소자분리 영역들(21)을 한정하는 제1 식각패턴을 형성한다.

도 3a 및 도 3b를 참조하면, 상기 CMP 저지막(15), 제2 도전막(14), MTJ 장벽층(13), 제1 도전막(12), 및 제1 게이트 유전체막(11)의 선택된 영역들(21)을 연속적으로 식각하여 상기 반도체기판(10) 상에 수평방향인 x축 및 수직방향인 y축을 따르는 메쉬(mesh) 패턴을 형성한다. 이에 따라, 상기 메쉬 패턴은 차례로 적층된 제1 게이트 유전체막 패턴, 제1 도전막 패턴(도우핑된 반도체층 패턴), MTJ 패턴, 제2 도전막 패턴(도우핑된 반도체층 패턴) 및 CMP 저지막 패턴을 포함한다. 계속해서, 상기 CMP 저지막 패턴을 식각 마스크로 사용하여 상기 반도체기판(10)을 식각하여 복수개의 섬 형태의 트랜치 영역들(22)을 형성함과 동시에 활성영역(20)을 한정한다. 상기 각 트랜치 영역들(22)은 후속 공정에서 실리콘 산화막과 같은 제1 절연막(23)으로 채워지고, 상기 제1 절연막(23)을 CMP 공정으로 평탄화시킨 다음 상기 CMP 저지막 패턴을 제거한다.

본 발명의 설명과 관련하여 x축 및 y축에 대한 언급은 단지 본 명세서를 읽는자의 이해를 도모하고 명확성을 기하기 위한 목적으로 STTM 셀 여러개의 구성요소들의 상대적인 방향을 설정하기 위함이며 다른 어떠한 목적으로 참조한 것은 아니다.

도 4a, 도 4b 및 도 4c를 참조하면, 상기 제2 도전막 패턴 상의 자연산화막을 제거하기 위한 목적으로 세정공정을 실시한다. 상기 결과물의 전면 상에 제3 도전막(31) 및 캐핑막(32)을 차례로 형성한다. 상기 제3 도전막(31)은 고농도로 도우핑된 폴리실리콘막, 폴리사이드막 또는 금속막으로 형성할 수 있으며, 상기 캐핑막(32)은 실리콘 질화막으로 형성하는 것이 바람직하다. 상기 캐핑막(32) 상에 사진공정을 사용하여 제2 식각패턴을 형성한다. 이어서, 상기 캐핑막(32) 및 제3 도전막(31)을 도 4a에 보여진 대로 식각하여 상기 섬 형태의 소자분리 영역들(21) 상기 MTJ 영역들(34)의 상부를 달리면서 상기 y축과 평행한 복수개의 데이터 라인들(33)을 형성한다. 상기 데이터 라인들(33) 상에 캐핑막 패턴들(32)이 여전히 잔존한다. 상기 데이터 라인들(33)은 서로 평행하고 y축과 평행하다.

계속해서, 상기 반도체기판(10)의 표면이 노출될 때까지 상기 데이터 라인들 사이의 y축과 평행한 수직선 영역들(35)을 자기정렬 방식의 건식 식각공정으로 식각한다. 이 자기정렬 건식 식각공정은 상기 데이터 라인들 상에 형성된 캐핑막 패턴들에 의해 가능하다. 상기와 같은 공정의 결과로서 도 4c에 보여진 바와 같이 데이터 라인을 아래에 실리콘 산화막과 같은 제1 절연막(23)으로 채워진 소자분리 섬들(21)과 함께 다층 패턴들(36)이 형성된다. 이 공정 단계에서 도 4a 및 도 4b에 보여진 바와 같이 y축과 평행한 방향으로 상기 다층 패턴들(36)의 양 옆에 그루브들(35)이 형성된다. 상기 다층 패턴들(36)의 각각은 차례로 적층된 제1 게이트 유전체막(11) 패턴, 스토리지 노드층(12) 패턴, MTJ 장벽층(13) 패턴, 소오스층(14) 패

턴, 소오스 콘택(데이터 라인 콘택; 31) 패턴, 및 캐핑막(32) 패턴을 포함한다. 상기 각 데이터 라인(33)은 상기 데이터 라인(33) 아래에 배치된 프로그램 트랜지스터들(상부 트랜지스터들; 2)의 소오스 영역들(14)과 전기적으로 접속된다.

도 5a 및 도 5b를 참조하면, 상기 다층 패턴들(36)의 측벽 상에 절연막(41)을 형성하여 적어도 상기 MTJ 구조체(13)의 측벽 및 스토리지 노드(12)의 측벽을 덮는다. 상기 절연막(41)을 형성하는 공정은 열산화 공정을 포함한다. 이 열산화 공정은 상기 다층 패턴들(36)의 측벽 및 상기 데이터 라인을 사이의 반도체 기판(10)에 가해진 식각손상을 치유하는 데 효과적이다. 상기 절연막(41)은 상기 프로그램 트랜지스터(상부 트랜지스터; 2)의 제2 게이트 유전체막들중의 하나로 작용한다. 후속 공정에서, 이 절연막(41) 상에 또 다른 절연막(61)을 형성하여 프로그램 트랜지스터의 게이트 유전체막을 완성한다. 상기 절연막(41)은 먼저 상기 다층 패턴들(36)이 형성된 결과물의 전면에 형성된다. 다음에, 상기 절연막(41)을 이방성 식각하여 측벽 게이트 유전체막을 형성한다. 상기 측벽 게이트 유전체막은 열산화막 또는 상기 열산화막을 포함하는 다층 절연체 조합막으로 형성할 수 있다.

구체적으로, 상기 측벽 게이트 유전체막은 실리콘 산화막, 실리콘 질화막, 실리콘 옥시나이트라이드막, 금속 산화막, 금속 실리콘이드막 및 금속 질화막으로 이루어진 일 군중 선택된 적어도 하나의 단일층 또는 다층일 수 있다. 여기서, 상기 금속산화막은 알루미늄 산화막(Al₂O₃), 하프늄 산화막(HfO₂), 지르코늄 산화막(ZrO₂) 등에 해당하며, 상기 금속 질화막은 알루미늄 질화막(AlN)에 해당한다.

상기 측벽 게이트 유전체막(41)을 형성한 후에, 상기 반도체기판(10)의 표면 에 이온주입 공정을 사용하여 센싱 트랜지스터(하부 트랜지스터)의 소오스/드레인 확장영역들(42)을 형성한다. 이 소오스/드레인 확장영역들(42)은 상기 데이터 라인들(33) 사이의 y축과 평행한 수직 영역들(35)을 따라 연속적으로 달린다. 상기 이온주입 공정을 실시하기 전에, 상기 활성영역들을 선택적으로 재산화시키며 상기 다층 패턴들(36)을 형성하기 위한 건식 식각공정 동안 손상된 표면물질층을 제거할 수도 있다. 상기 측벽 게이트 유전체막(41)의 측벽 상에 스페이서(43)를 형성한다.

상기 스페이서(43)는 산화막 또는 질화막과 같은 절연막으로 형성한다. 상기 스페이서는 상기 소오스/드레인 확장영역들(42)이 형성된 결과물의 전면에 절연막을 형성한 다음, 상기 절연막을 이방성 식각하여 형성한다. 상기 스페이서(43)를 형성한 후에, 상기 소오스/드레인 확장영역들(42) 내에 높은 도우조의 이온주입 공정을 실시하여 상기 소오스/드레인 확장영역들(42) 내에 고농도 영역들(44)을 형성한다. 이에 따라, 센싱 트랜지스터(하부 트랜지스터; 1)의 소오스/드레인 영역이 완성된다. 결과적으로, 상기 소오스/드레인 영역을 역시 y축과 평행하며 비트라인들(45)을 구성한다. 상기 고농도 영역들(44)을 형성하는 데 사용되는 높은 도우조의 이온주입은 금속화(배선) 효과를 보일 수 있다. 상기 비트라인의 금속화는 전 사용되는 높은 도우조의 이온주입은 금속화(배선) 효과를 보일 수 있다. 상기 비트라인의 금속화는 선택적이다. 바람직하게는, 상기 소오스/드레인 영역들 상에 텅스텐막과 같은 금속막, 셀리사이드 공정에 의한 금속 실리콘사이드막, 또는 고농도로 도핑된 폴리실리콘막을 형성한다. 여기서, 상기 금속 실리콘사이드막을 포함하는 소오스/드레인 영역들은 센싱라인(8) 및 접지라인(6)에 상응하고, 기억 셀 어레이의 비트라인들(45) 역할을 한다. 상기 비트라인들(45)은 상기 데이터 라인들(33) 사이에 y축과 평행하게 달린다. 이 공정 단계에서, 도 5a의 8-8'에 따른 단면도는 도 4c의 단면도와 동일하다. 본 발명에서 사용되는 자기정렬 기술은 평면 상에서 상기 데이터 라인들과 상기 비트라인들 사이의 간격을 최소화시키는 것을 가능하게 만든다. 따라서, 4F² 만큼 작은 단위 셀 면적을 갖는 기억 셀 어레이가 여기서 설명되는 공정 절차에 의해 제조된다. 상기 'F'는 최소 크기(최소 디자인 룰)를 나타낸다. 즉, 상기 'F'는 데이터 라인의 선포 또는 제어게이트 라인(쓰기 라인)의 선포를 나타내거나, 서로 인접한 데이터 라인을 사이의 간격 또는 서로 인접한 제어게이트 라인을 사이의 간격을 나타낸다.

도 5a, 도 5b, 도 6a 및 도 6b를 참조하면, 상기 스페이서(43)를 선택적으로 제거한다. 본 발명의 일 실시예에서, 상기 스페이서(43)는 후속 공정에서 제거될 수도 있다. 상기 결과물의 전면 상에 실리콘 옥시나이트라이드막과 같은 콘포말한 식각저지막(51)을 형성한다. 계속해서, 상기 식각저지막(51) 상에 CVD 산화막과 같은 제2 절연막(52)을 형성한다. 상기 CVD 산화막은 상기 비트라인들(45) 상의 수직 영역들(35)을 따라 y축과 평행한 그루브들(53)을 채운다. 상기 그루브들(53)은 상기 데이터 라인들(33) 사이에 위치한다. 상기 제2 절연막(52)을 CMP 공정과 같은 통상의 방법을 사용하여 평탄화시킨다. 이 공정단계에서 상기 제2 절연막(52)은 도 6a에 보여진 바와 같이 상기 그루브들(53)을 채울뿐만 아니라 상기 데이터 라인들(33) 상에도 존재한다.

도 6a, 도 6b, 도 7a 및 도 7b를 참조하면, 상기 제2 절연막(52)을 식각하여 도 7a에 보여진 바와 같이 상기 제2 절연막(52) 내에 상기 비트라인들(45)의 상부 영역인 상기 다층 구조체들(36) 사이의 영역을 지나면서 상기 x축과 평행한 복수개의 깊은 트렌치들(62)을 형성함과 동시에, 도 7b에 도시된 바와 같이 상기 다층 구조체들(36)의 상부의 상기 제2 절연막(52) 내에 얕은 트렌치들(63)을 형성한다. 상기 제2 절연막(52)을 식각하는 공정은 상기 식각저지막(51)이 노출될 때까지 실시된다. 이들 식각된 영역들은 서로 평행하고 상기 데이터 라인들(33) 및 비트라인들(45)의 상부를 가로지른다. 이에 따라, 상기 소자분리 영역들(21) 사이의 상기 비트라인들(45) 상부에는 상기 제2 절연막(52)이 잔존하고, 이들 영역을 내의 산화막의 높이는 x축과 평행한 방향으로 인접한 소자분리 영역들(21)의 높이와 일치한다. 이어서, x축과 평행한 방향으로 상기 노출된 식각저지막(51)은 습식 식각공정으로 완전히 제거하거나 습식 식각공정 및 건식 식각공정을 사용하여 제거한다. 또한, 상기 식각저지막(51)은 건식 식각공정만을 사용하여 제거할 수도 있다. 앞에서 언급한 바와 같이, 이 단계에서 상기 다층 패턴들(36)의 측벽 상의 스페이서(43)를 제거할 수도 있다. 상기 노출된 식각저지막(51)을 제거한 결과, 상기 비트라인들(45)의 소정영역들이 상기 깊은 트렌치들에 의해 노출될 수 있다.

상기 결과물 상에 CVD 산화막 또는 CVD 질화막과 같은 절연막(61)을 형성하여 상기 비트라인들(45)의 노출된 부분들을 덮고 상기 프로그램 트랜지스터의 다층 게이트 유전체막, 즉 제2 게이트 유전체막을 완성한다. 상기 절연막(61)은 다층 패턴들(36)의 측벽을 상의 상기 절연막, 즉 측벽 게이트 유전체막(41) 상에 형성된다. 이들 두개의 절연막들(41 및 61)의 조합막은 프로그램 트랜지스터(상부 트랜지스터)의 게이트 유전체막을 구성하며, 제1 게이트 유전체막이라 불리우는 센싱 트랜지스터(하부 트랜지스터)의 게이트 유전체막과 구별하기 위하여 제2 게이트 유전체막이라 부르게 된다.

도 8a, 도 8b 및 도 8c를 참조하면, 다마신 공정을 사용하여 상기 데이터 라인들(33) 상의 얇은 트렌치들(63) 내부 및 상기 비트라인들(45) 상의 깊은 트렌치들(62) 내부에 x축과 평행한 방향으로 달리는 복수개의 쓰기라인들(71; 워드라인들 또는 제어게이트 라인들이라 언급되기도 함)을 형성한다. 상기 쓰기 라인들은 상기 제2 게이트 유전체막이 형성된 결과물 전면에 금속막(예를 들면, TiN/W의 적층막), 금속/실리사이드의 적층막(예를 들면, TiN/실리사이드의 적층막), 폴리실리콘/금속의 적층막, 또는 폴리실리콘/실리사이드의 적층막과 같은 물질막으로 이루어진 제4 도전막을 형성한 다음, 상기 제2 절연막(52)의 표면이 노출될 때까지 상기 제4 도전막을 CMP 공정 또는 에치백 공정을 사용하여 평탄화시킴으로써 형성한다. 이에 따라, 상기 쓰기라인들은 x축과 평행하게 형성되고, 그들의 양 옆에 산화막 소자분리 영역들이 존재한다.

상기 언급된 STT 셀 어레이 공정은 평평한 표면을 가지며, 이에 따라 소자의 공정 수율을 향상시킨다. 상술한 자기정렬 공정은 또한 $4F^2$ 만큼 작은 단위 셀 면적과 함께 밀집된 STT 셀 어레이의 결과를 가져온다. 여기서, 'F'는 최소크기, 예컨대 데이터 라인 또는 쓰기라인의 선폭을 나타내거나 데이터 라인을 사이의 간격 또는 쓰기 라인들 사이의 간격을 나타낸다.

도 9a 및 도 9b는 상기 STT 셀 어레이와 아울러 주변회로 영역(81) 내에 CMOS 회로를 형성하는 방법을 설명한다.

도 9a를 참조하면, 상기 데이터 라인들(33)을 형성하기 위한 제3 도전막(31)을 형성하기 전에, 상기 CMP 저지막(15)이 제거된 결과물 전면에 포토레지스트 패턴(82)을 형성한다. 상기 포토레지스트 패턴(82)은 STT 셀 어레이 영역 전체를 덮고 단지 주변회로 영역(81)만을 노출시킨다.

도 9b를 참조하면, 상기 주변회로 영역(81) 내의 상기 제2 도전막(14) 패턴 및 상기 MTJ 장벽층(13) 패턴을 건식 식각공정을 사용하여 선택적으로 제거하여 상기 주변회로 영역(81) 내의 제1 도전막(12)을 노출시킨다. 이어서, 상기 포토레지스트 패턴(82)을 에칭 공정 또는 스트립 공정으로 제거한다. 도면에 도시하지는 않았지만, 상기 포토레지스트 패턴(82)이 제거된 결과물 전면에 제3 도전막(31) 및 캐핑막을 형성하고, 상기 캐핑막 및 제3 도전막(31)을 패턴화하여 STT 셀 어레이 영역 내에 상기 데이터 라인들(33) 및 캐핑막 패턴들을 형성함과 동시에 상기 주변회로 영역(81) 내에 CMOS 회로의 게이트 패턴들을 형성한다. 여기서, 상기 주변회로 영역(81) 내의 제1 도전막(12)은 상기 제3 도전막(31)과 동시에 패턴된다. 이에 더하여, 상기 주변회로 영역(81) 내의 트렌치 영역들(83) 및 이들을 채우는 소자분리 산화막(84) 역시 STT 셀 어레이 영역 내의 트렌치 영역들 및 소자분리 산화막과 동시에 형성되며, 주변회로 영역(81) 내의 소오스/드레인 영역들 역시 STT 셀 어레이 영역 내의 소오스/드레인 영역들과 동시에 형성된다. 결과적으로, 상술한 공정들은 소자의 전체 공정시간을 현저히 감소시킨다. 또한, 주변회로 영역의 여러가지의 영역들을 형성하는 데 사용되는 물질막들은 그들에 대응하는 셀 어레이 영역 내의 영역들의 물질막들과 동일하다.

주변회로 영역의 CMOS 소자들의 성능을 최적화시키기 위해서, 주변회로 소자들의 몇몇 영역들은 STT 셀 어레이 소자들과 독립적으로 형성될 수도 있다. 이 경우에, 주변회로 소자들의 몇몇 영역들을 형성하는 데 사용되는 물질막들은 STT 셀 어레이 소자들의 몇몇 영역들을 형성하는 데 사용되는 물질막들과 다를 수 있다.

STT 셀 어레이 및 그것의 주변회로 소자들을 형성하는 방법이 본 발명에 따라 설명되어졌다. 그러나, 본 발명은 상술한 실시예들에 한정되지 않고 본 발명의 사상 내에서 여러가지의 다른 형태로 변형될 수 있다.

발명의 효과

상술한 바와 같이 본 발명에 따르면, 콤팩트한 단위 셀을 구현하는 것이 가능할 뿐만 아니라 주변회로 소자들을 형성하기 위한 별도의 공정이 요구되지 않는다. 따라서, 제조비용의 증가 없이 고집적 STT 소자를 구현하는 것이 가능하다.

(5) 청구의 범위

청구항 1

적층된 하부 트랜지스터 및 상부 트랜지스터로 구성되고, 비트라인, 데이터 라인 및 워드라인의 3개의 제 어라인들을 갖는 축소가능한 2개의 트랜지스터 기억(scalable two transistor memory; STT) 셀 어레이를 제조하는 방법에 있어서,

x축 및 y축을 갖는 기판을 제공하는 단계;

상기 기판 상에 제1 게이트 유전체막을 형성하는 단계;

상기 제1 게이트 유전체막 상에 제1 도전막을 증착하여 스토리지 노드층을 형성하는 단계;

상기 스토리지 노드층 상에 상대적으로 낮은 밴드갭을 갖는 반도체층 및 상대적으로 높은 밴드갭을 갖는 절연막을 교대로 증착하여 다수의 터널 접합(multiple tunnel junction; MTJ) 장벽층을 형성하는 단계;

상기 MTJ 장벽층 상에 제2 도전막을 증착하여 상기 상부 트랜지스터의 소오스층을 형성하는 단계;

상기 제2 도전막, 상기 MTJ 장벽층, 상기 제1 도전막, 상기 제1 게이트 유전체막 및 상기 기판을 식각하여 복수개의 섬 형태의 트렌치 소자분리 영역들을 형성하는 단계;

상기 트렌치 소자분리 영역들 내에 제1 절연막으로 이루어진 복수개의 섬 형태의 소자분리막들을 형성하는 단계;

상기 결과물 상에 제3 도전막으로 이루어진 데이터 라인들을 형성하는 단계;

상기 기판의 표면이 노출될 때까지 상기 데이터 라인을 사이의 상기 제2 도전막, MTJ 장벽층, 제1 도전막 및 제1 게이트 유전체막을 식각하여 상기 소자분리막들 사이에 y축과 평행한 그루브들을 형성하는 단계;

상기 노출된 기판에 불순물을 주입하여 상기 그루브들의 바닥에 상기 하부 트랜지스터의 소오스/드레인 확장 영역들을 형성하는 단계;

상기 그루브들 내에 상기 y축과 평행한 상기 비트라인들을 형성하는 단계;

상기 결과물의 전면 상에 제2 절연막을 형성하는 단계;

상기 제2 절연막 상에 제어게이트 라인들의 형성위치를 한정하는 포토레지스트 패턴을 형성하는 단계;

상기 x축과 평행한 방향으로 서로 이웃하는 기억 셀들의 상부 및 이들 사이의 상기 제2 절연막을 선택적으로 식각하여 제거하는 단계;

상기 포토레지스트 패턴을 제거하는 단계;

상기 MTJ 장벽층의 측벽을 및 상기 스토리지 노드층의 측벽을 상에 제2 게이트 유전체막을 형성하는 단계;

상기 결과물의 전면 상에 제4 도전막을 형성하는 단계; 및

상기 제4 도전막을 화학기계적 연마(CMP) 또는 에치백 공정으로 평탄화시키어 워드라인들을 형성하는 단계를 포함하는 축소가능한 2개의 트랜지스터 기억(scalable two transistor memory; STTM) 셀 어레이를 제조하는 방법.

청구항 2

제 1 항에 있어서,

상기 기판은 실리콘 기판, 실리콘 게르마늄 기판, 실리콘 상의 실리콘 게르마늄 기판, 실리콘 상의 실리콘 게르마늄 카바이드 기판 및 에소오마이(SOI; silicon on insulator) 기판으로 이루어진 일 군중 선택된 어느 하나인 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억(scalable two transistor memory; STTM) 셀 어레이를 제조하는 방법.

청구항 3

제 1 항에 있어서,

상기 제1 게이트 유전체막은 15 내지 100 Å의 두께를 갖는 실리콘 산화막인 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억(scalable two transistor memory; STTM) 셀 어레이를 제조하는 방법.

청구항 4

제 1 항에 있어서,

상기 제1 도전막은 5000 Å 이하의 두께를 갖는 도우핑된 반도체층으로 형성하는 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억(scalable two transistor memory; STTM) 셀 어레이를 제조하는 방법.

청구항 5

제 4 항에 있어서,

상기 도우핑된 반도체층은 실리콘층, 게르마늄층, 실리콘 게르마늄층 및 실리콘 게르마늄 카바이드층으로 이루어진 일 군중 선택된 어느 하나로 형성하는 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억(scalable two transistor memory; STTM) 셀 어레이를 제조하는 방법.

청구항 6

제 1 항에 있어서,

상기 MTJ 장벽층을 구성하는 반도체층 및 절연막의 전체 층 수는 2 내지 20인 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억(scalable two transistor memory; STTM) 셀 어레이를 제조하는 방법.

청구항 7

제 1 항에 있어서,

상기 MTJ 장벽층을 구성하는 상기 반도체층은 1000 Å 이하의 두께를 갖는 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억(scalable two transistor memory; STTM) 셀 어레이를 제조하는 방법.

청구항 8

제 1 항에 있어서,

상기 MTJ 장벽층을 구성하는 상기 반도체층은 2eV보다 낮은 에너지 밴드갭을 갖는 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억(scalable two transistor memory; STTM) 셀 어레이를 제조하는 방법.

청구항 9

제 1 항에 있어서,

상기 MTJ 장벽층을 구성하는 상기 반도체층은 실리콘층, 게르마늄층, 실리콘 게르마늄층 및 실리콘 게르마늄 카바이드층으로 이루어진 일 군중 선택된 어느 하나로 형성하는 것을 특징으로 하는 축소가능한 2개

의 트랜지스터 기억(scalable two transistor memory; STTM) 셀 어레이를 제조하는 방법.

청구항 10

제 1 항에 있어서,

상기 MTJ 장벽층을 구성하는 상기 반도체층은 도우핑된 반도체층이거나 언도우프트 반도체층인 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억(scalable two transistor memory; STTM) 셀 어레이를 제조하는 방법.

청구항 11

제 1 항에 있어서,

상기 MTJ 장벽층을 구성하는 상기 반도체층은 그 것의 증착 직후의 결정상이 비정질 상태 또는 다결정 상태를 보이는 증착온도 하에서 형성하는 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억(scalable two transistor memory; STTM) 셀 어레이를 제조하는 방법.

청구항 12

제 11 항에 있어서,

상기 증착온도는 300°C 내지 900°C 인 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억(scalable two transistor memory; STTM) 셀 어레이를 제조하는 방법.

청구항 13

제 1 항에 있어서,

상기 MTJ 장벽층을 구성하는 상기 절연막은 100 Å 이하의 두께를 갖는 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억(scalable two transistor memory; STTM) 셀 어레이를 제조하는 방법.

청구항 14

제 1 항에 있어서,

상기 MTJ 장벽층을 구성하는 상기 절연막은 10eV보다 작은 밴드갭을 갖는 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억(scalable two transistor memory; STTM) 셀 어레이를 제조하는 방법.

청구항 15

제 1 항에 있어서,

상기 MTJ 장벽층을 구성하는 상기 절연막은 실리콘 산화막, 실리콘 질화막, 실리콘 옥시나이트라이드막, 금속 산화막 및 금속 질화막으로 이루어진 일 군중 선택된 어느 하나로 형성하는 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억(scalable two transistor memory; STTM) 셀 어레이를 제조하는 방법.

청구항 16

제 15 항에 있어서,

상기 금속 산화막은 하프늄 산화막, 지르코늄 산화막 또는 알루미늄 산화막을 포함하고, 상기 금속 질화막은 알루미늄 질화막을 포함하는 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억(scalable two transistor memory; STTM) 셀 어레이를 제조하는 방법.

청구항 17

제 1 항에 있어서,

상기 제2 도전막은 5000 Å 이하의 두께를 갖는 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억(scalable two transistor memory; STTM) 셀 어레이를 제조하는 방법.

청구항 18

제 17 항에 있어서,

상기 제2 도전막은 도우핑된 실리콘층, 도우핑된 게르마늄층, 도우핑된 실리콘 게르마늄층 또는 도우핑된 실리콘 게르마늄 카바이드층으로 형성하는 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억(scalable two transistor memory; STTM) 셀 어레이를 제조하는 방법.

청구항 19

제 1 항에 있어서,

상기 트렌치 소자분리 영역들을 형성하기 전에,

상기 제2 도전막 상에 화학기계적 연마(chemical mechanical polishing; CMP) 저지막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억(scalable two transistor memory; STTM) 셀 어레이를 제조하는 방법.

청구항 20

제 19 항에 있어서,

상기 CMP 저지막은 실리콘 질화막으로 형성하는 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억(scalable two transistor memory; STTM) 셀 어레이를 제조하는 방법.

청구항 21

제 19 항에 있어서,

상기 트랜치 소자분리 영역들을 형성하기 전에,

상기 CMP 저지막을 식각하여 CMP 저지막 패턴을 형성하는 단계를 더 포함하는 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억(scalable two transistor memory; STTM) 셀 어레이를 제조하는 방법.

청구항 22

제 21 항에 있어서,

상기 CMP 저지막 패턴을 식각 마스크로 사용하여 상기 제2 도전막, 상기 MTJ 장벽층, 상기 제1 도전막, 상기 제1 게이트 유전체막 및 상기 기판을 식각하여 복수개의 트랜치 영역들을 형성하는 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억(scalable two transistor memory; STTM) 셀 어레이를 제조하는 방법.

청구항 23

제 1 항에 있어서,

상기 트랜치 영역들을 채우는 상기 제1 절연막은 실리콘 산화막인 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억(scalable two transistor memory; STTM) 셀 어레이를 제조하는 방법.

청구항 24

제 22 항에 있어서,

상기 CMP 저지막 패턴은 상기 제3 도전막을 형성하기 전에 제거되는 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억(scalable two transistor memory; STTM) 셀 어레이를 제조하는 방법.

청구항 25

제 1 항에 있어서,

상기 제3 도전막은 고농도로 도우핑된 폴리실리콘막, 폴리사이드막 또는 금속막으로 형성하는 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억(scalable two transistor memory; STTM) 셀 어레이를 제조하는 방법.

청구항 26

제 1 항에 있어서,

상기 제3 도전막 상에 캐핑막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억(scalable two transistor memory; STTM) 셀 어레이를 제조하는 방법.

청구항 27

제 26 항에 있어서,

상기 캐핑막은 실리콘 질화막으로 형성하는 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억(scalable two transistor memory; STTM) 셀 어레이를 제조하는 방법.

청구항 28

제 26 항에 있어서,

상기 캐핑막은 상기 그루브들을 형성하기 전에 식각되는 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억(scalable two transistor memory; STTM) 셀 어레이를 제조하는 방법.

청구항 29

제 1 항에 있어서,

상기 하부 트랜지스터의 소오스/드레인 확장영역들을 형성하기 전에 상기 제2 게이트 유전체막의 하부층을 형성하는 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억(scalable two transistor memory; STTM) 셀 어레이를 제조하는 방법.

청구항 30

제 29 항에 있어서,

상기 제2 게이트 유전체막의 상기 하부층은 열산화막 또는 상기 열산화막을 포함하는 다층의 절연체 조합막인 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억(scalable two transistor memory; STTM) 셀 어레이를 제조하는 방법.

청구항 31

제 29 항에 있어서,

상기 제2 게이트 유전체막의 상기 하부층을 형성하는 공정은 상기 y축과 평행한 상기 그루브들을 형성하기 위한 식각 공정을 실시하는 동안 상기 MTJ 장벽층의 측벽에 가해진 손상을 치유하기 위한 열산화 공정을 포함하는 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억(scalable two transistor memory; STTM) 셀 어레이를 제조하는 방법.

청구항 32

제 29 항에 있어서,

상기 제2 게이트 유전체막의 상기 하부층을 형성하는 동안 상기 데이터 라인을 사이의 상기 기판을 산화시키어 상기 그루브들을 형성하는 동안 가해진 상기 기판의 표면 손상을 제거하는 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억(scalable two transistor memory; STTM) 셀 어레이를 제조하는 방법.

청구항 33

제 1 항에 있어서,

상기 소오스/드레인 확장영역들을 형성한 후에,

상기 그루브들 내의 상기 기억 셀의 측벽 상에 스페이서를 형성하는 단계를 더 포함하는 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억(scalable two transistor memory; STTM) 셀 어레이를 제조하는 방법.

청구항 34

제 33 항에 있어서,

상기 스페이서는 산화막 또는 질화막으로 형성하는 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억(scalable two transistor memory; STTM) 셀 어레이를 제조하는 방법.

청구항 35

제 33 항에 있어서,

상기 스페이서를 형성한 후에,

상기 스페이서를 이온주입 마스크로 사용하여 상기 소오스/드레인 확장영역들에 높은 도우즈로 불순물을 이온주입하여 고농도 영역들을 형성하는 단계를 더 포함하는 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억(scalable two transistor memory; STTM) 셀 어레이를 제조하는 방법.

청구항 36

제 35 항에 있어서,

상기 고농도 영역들을 형성한 후에, 상기 고농도 영역을 상에 고농도로 도우핑된 폴리실리콘막, 폴리사이드막, 금속막 또는 살리사이드 공정에 의한 살리사이드막을 형성하여 상기 비트라인들을 형성하는 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억(scalable two transistor memory; STTM) 셀 어레이를 제조하는 방법.

청구항 37

제 35 항에 있어서,

상기 고농도 영역들은 상기 비트라인들을 형성하는 금속배선의 효과를 야기시키는 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억(scalable two transistor memory; STTM) 셀 어레이를 제조하는 방법.

청구항 38

제 35 항에 있어서,

상기 비트라인을 형성한 후에, 상기 스페이서를 제거하는 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억(scalable two transistor memory; STTM) 셀 어레이를 제조하는 방법.

청구항 39

제 1 항에 있어서,

상기 비트라인을 형성한 다음, 그리고 상기 제2 절연막을 형성하기 전에,

상기 결과물의 전면 상에 콘포말한 식각저지막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억(scalable two transistor memory; STTM) 셀 어레이를 제조하는 방법.

청구항 40

제 39 항에 있어서,

상기 식각저지막은 실리콘 옥시나이트라이드막 또는 실리콘 질화막으로 형성하는 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억(scalable two transistor memory; STTM) 셀 어레이를 제조하는 방법.

청구항 41

제 39 항에 있어서,

상기 제2 절연막은 CVD 산화막인 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억(scalable two transistor memory; STTM) 셀 어레이를 제조하는 방법.

청구항 42

제 39 항에 있어서,

상기 제2 절연막을 형성한 후에, 상기 기억 셀 어레이의 전면을 평탄화시키기 위하여 상기 제2 절연막에 CMP 공정을 적용하는 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억(scalable two transistor memory; STTM) 셀 어레이를 제조하는 방법.

청구항 43

제 42 항에 있어서,

상기 제2 절연막을 상기 x축과 평행한 방향으로 선택적으로 식각한 후에, 상기 비트라인들의 소정영역들이 노출될 때까지 상기 식각저지막을 제거하는 또 다른 식각 공정을 실시하는 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억(scalable two transistor memory; STTM) 셀 어레이를 제조하는 방법.

청구항 44

제 43 항에 있어서,

상기 식각저지막을 제거하기 위한 식각공정은 습식 식각공정, 건식 식각공정 또는 습식 및 건식 식각공정의 조합을 사용하여 실시하는 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억(scalable two transistor memory; STTM) 셀 어레이를 제조하는 방법.

청구항 45

제 43 항에 있어서,

상기 비트라인들의 소정영역들이 노출될 때까지 상기 식각저지막이 제거된 결과물의 전면 상에 CVD 산화막 또는 CVD 절화막을 형성하여 상기 노출된 비트라인들의 소정영역들을 덮으면서 상기 제2 게이트 유전체막의 상부막을 형성하는 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억(scalable two transistor memory; STTM) 셀 어레이를 제조하는 방법.

청구항 46

제 1 항에 있어서,

상기 제2 게이트 유전체막은 다층의 절연막인 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억(scalable two transistor memory; STTM) 셀 어레이를 제조하는 방법.

청구항 47

제 46 항에 있어서,

상기 다층의 절연막은 열적으로 성장된 막 및 증착된 막의 조합막인 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억(scalable two transistor memory; STTM) 셀 어레이를 제조하는 방법.

청구항 48

제 46 항에 있어서,

상기 다층의 절연막은 실리콘 산화막, 실리콘 질화막, 실리콘 옥시나이트라이드막, 금속 산화막 및 금속 질화막으로 이루어진 일 군중 선택된 적어도 2개를 포함하는 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억(scalable two transistor memory; STTM) 셀 어레이를 제조하는 방법.

청구항 49

제 1 항에 있어서,

상기 워드라인은 다마신 공정을 사용하여 금속막, 폴리실리콘막/금속막의 조합막 또는 폴리실리콘막/실리사이드막의 조합막으로 형성하는 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억(scalable two transistor memory; STTM) 셀 어레이를 제조하는 방법.

청구항 50

제 1 항에 있어서,

상기 워드라인은 다마신 공정을 사용하여 타이타늄 질화막/텅스텐막의 조합막 또는 타이타늄 질화막/실리사이드막의 조합막으로 형성하는 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억(scalable two transistor memory; STTM) 셀 어레이를 제조하는 방법.

청구항 51

제 1 항에 있어서,

상기 CMP 공정은 상기 기억 셀 어레이 영역의 전면을 평탄화시키기 위함과 동시에 상기 워드라인들이 형성될 때까지 않는 제4 도전막을 제거하기 위하여 실시하는 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억(scalable two transistor memory; STTM) 셀 어레이를 제조하는 방법.

청구항 52

축소가능한 2개의 트랜지스터들로 구성된 셀을 갖는 기억 소자의 셀 어레이 영역 및 CMOS 소자들로 이루어진 주변회로 영역을 형성하는 방법에 있어서,

기판 상에 게이트 유전체막, 제1 도전막, MTJ 장벽층, 제2 도전막 및 화학기계적 연마(CMP) 저지막을 차례로 형성하는 단계;

상기 CMP 저지막, 상기 제2 도전막, 상기 MTJ 장벽층을 선택적으로 패터닝하여 상기 CMOS 소자들이 형성되는 주변회로 영역 내의 상기 제1 도전막을 노출시키는 단계;

상기 결과를 상에 도전막을 형성하는 단계;

상기 도전막 및 상기 제1 도전막을 패터닝하여 상기 주변회로 영역 내에 상기 CMOS 소자들의 게이트 구조체를 형성함과 동시에 상기 셀 어레이 영역 내에 상기 도전막으로 이루어진 데이터 라인을 형성하는 단계; 및

상기 CMOS 소자들의 소오스/드레인 영역을 형성하는 단계를 포함하는 기억 소자의 셀 어레이 영역 및 주변회로 CMOS 소자들을 형성하는 방법.

청구항 53

제 52 항에 있어서,

상기 주변회로 CMOS 소자들의 소오스/드레인 영역들은 상기 셀 어레이 영역 내의 하부 트랜지스터의 소오스/드레인 영역들과 동시에 형성되는 것을 특징으로 하는 기억 소자의 셀 어레이 영역 및 주변회로 CMOS 소자들을 형성하는 방법.

청구항 54

제 52 항에 있어서,

상기 주변회로 CMOS 소자들의 소오스/드레인 영역들에 대한 콘택들은 상기 셀 어레이 영역 내의 하부 트랜지스터의 소오스/드레인 영역들에 대한 콘택들과 동시에 형성되는 것을 특징으로 하는 기억 소자의 셀 어레이 영역 및 주변회로 CMOS 소자들을 형성하는 방법.

청구항 55

제 52 항에 있어서,

상기 주변회로 CMOS 소자들의 소오스/드레인 영역들에 대한 콘택들은 금속막, 고농도로 도우핑된 폴리실리콘막, 폴리사이드막 또는 셀리사이드에 의한 살리사이드막으로 형성하는 것을 특징으로 하는 기억 소자의 셀 어레이 영역 및 주변회로 CMOS 소자들을 형성하는 방법.

청구항 56

제 52 항에 있어서,

상기 주변회로 CMOS 소자들의 게이트 도전막은 금속막, 도우핑된 폴리실리콘막, 폴리실리콘막/금속막의 조합막 및 폴리실리콘막/살리사이드막의 조합막으로 이루어진 일 군중 선택된 어느 하나로 형성하는 것을 특징으로 하는 기억 소자의 셀 어레이 영역 및 주변회로 CMOS 소자들을 형성하는 방법.

청구항 57

제 1 항에 있어서,

상기 제3 도전막을 형성하기 전에, 상기 제2 도전막 상의 자연산화막을 제거하기 위한 세정공정을 실시하는 단계를 더 포함하는 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억(scalable two transistor memory; STTM) 셀 어레이를 제조하는 방법.

청구항 58

제 28 항에 있어서,

상기 제2 도전막, 상기 MTJ 장벽층, 상기 제1 도전막 및 상기 제1 게이트 유전체막은 상기 캐핑막을 식각 마스크로 사용하여 상기 기판이 노출될 때까지 자기정렬 건식 식각공정으로 식각되는 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억(scalable two transistor memory; STTM) 셀 어레이를 제조하는 방법.

청구항 59

제 1 항에 있어서,

상기 셀 어레이 영역 내의 단위 셀은 $4F^2$ 및 $8F^2$ 사이의 면적을 갖되, 상기 'F'는 상기 데이터 라인의 선포 또는 상기 워드라인의 선포를 나타내거나 서로 이웃한 상기 2개의 데이터 라인을 사이의 간격 또는 서로 이웃한 상기 2개의 워드라인들 사이의 간격을 나타내는 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억(scalable two transistor memory; STTM) 셀 어레이를 제조하는 방법.

청구항 60

제 59 항에 있어서,

상기 셀 어레이 영역 내의 단위 셀은 $4F^2$ 및 $6F^2$ 사이의 면적을 갖는 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억(scalable two transistor memory; STTM) 셀 어레이를 제조하는 방법.

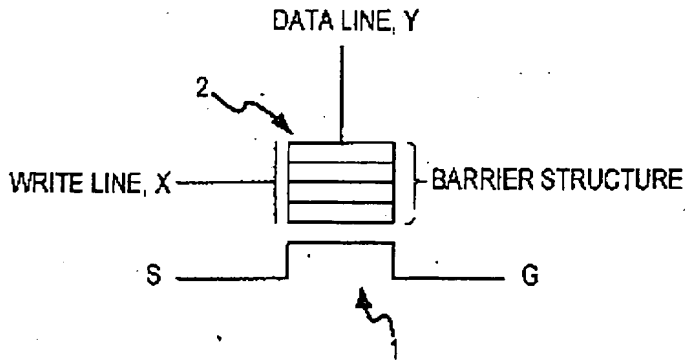
청구항 61

제 59 항에 있어서,

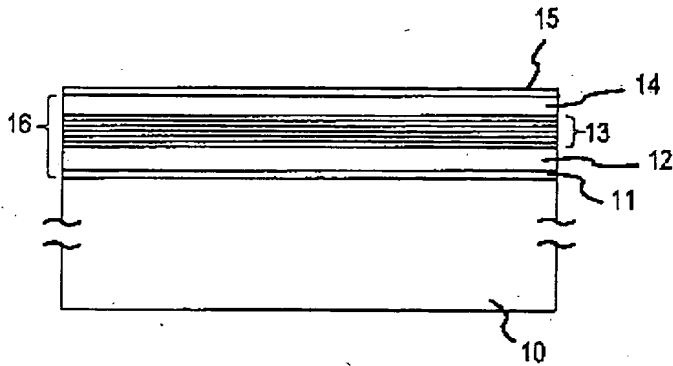
상기 셀 어레이 영역 내의 단위 셀은 $4F^2$ 의 면적을 갖는 것을 특징으로 하는 축소가능한 2개의 트랜지스터 기억(scalable two transistor memory; STTM) 셀 어레이를 제조하는 방법.

도면

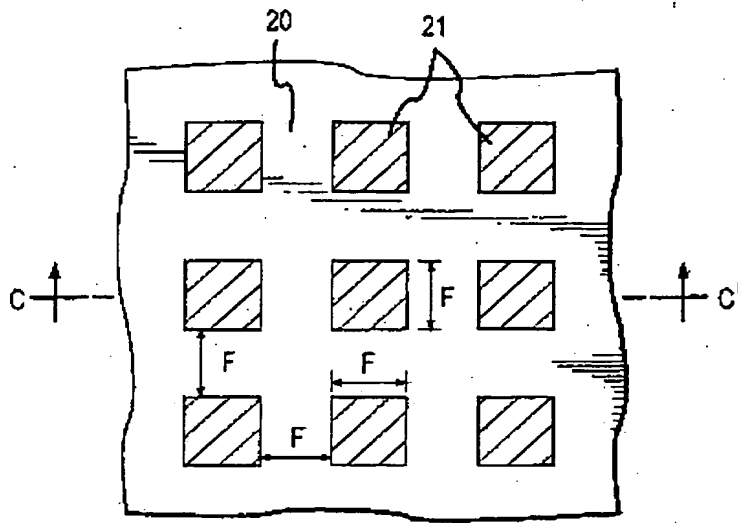
도면1



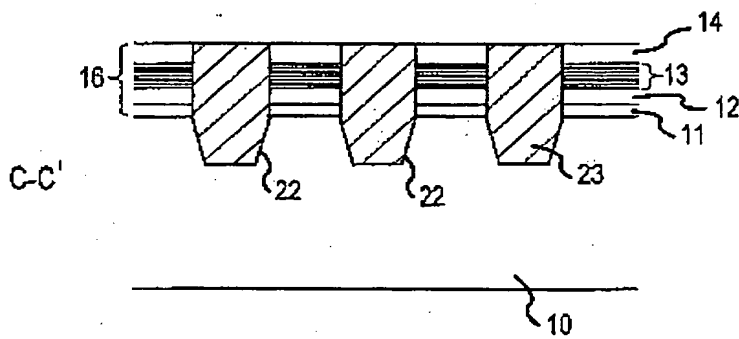
도면2



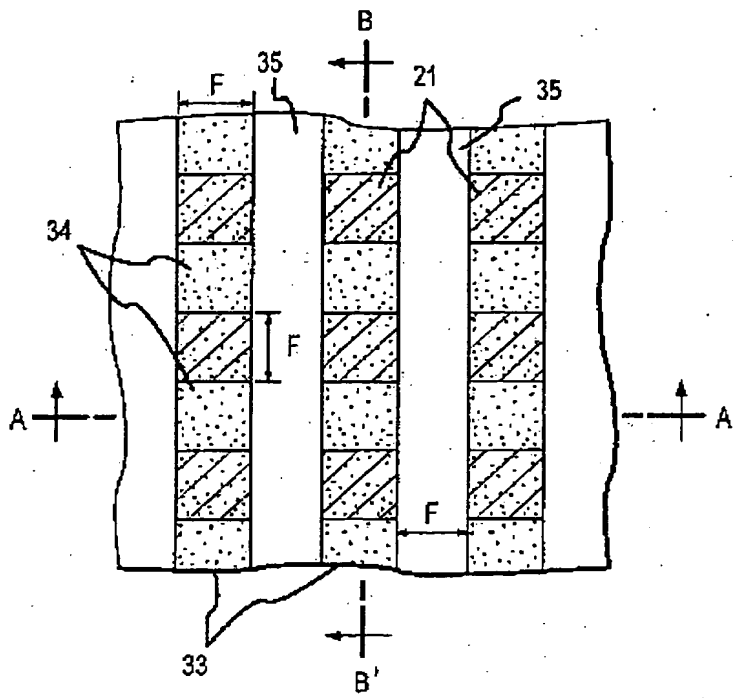
50438



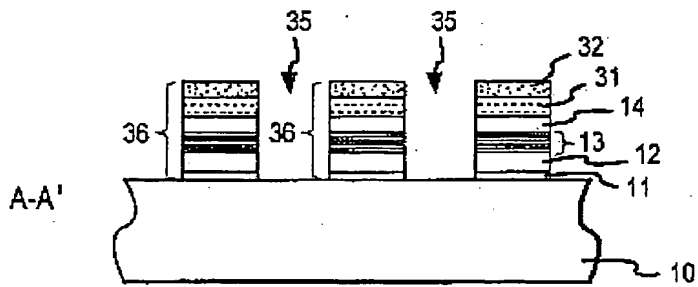
5236



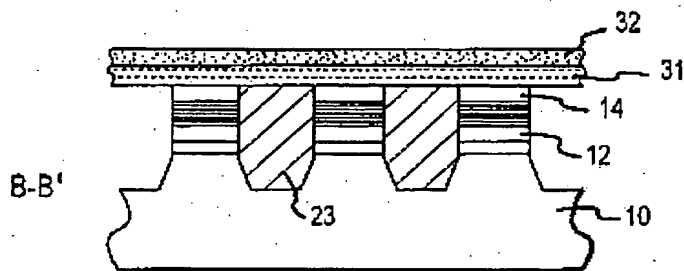
도 4a



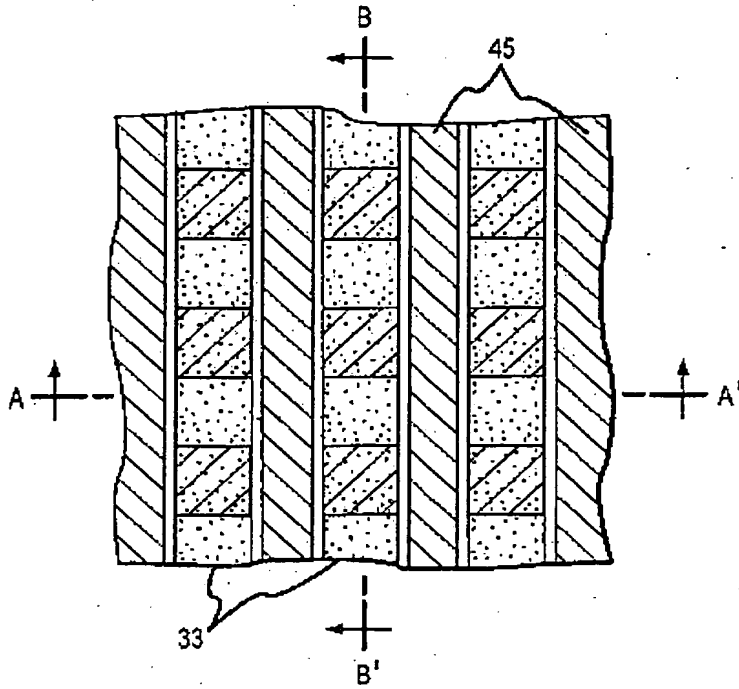
도 4b



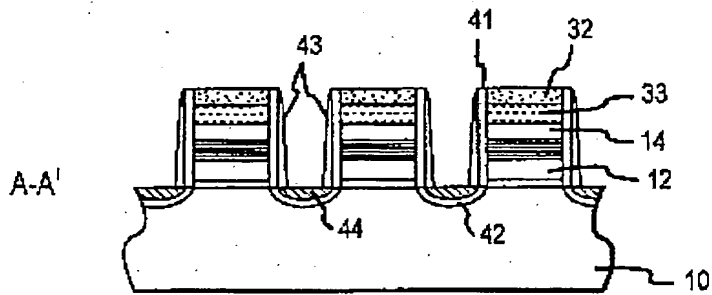
도 4c



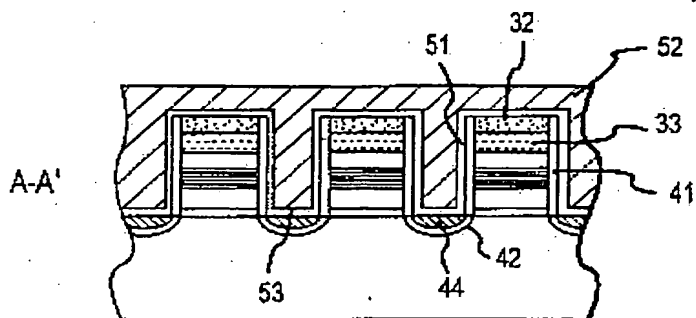
도 5a



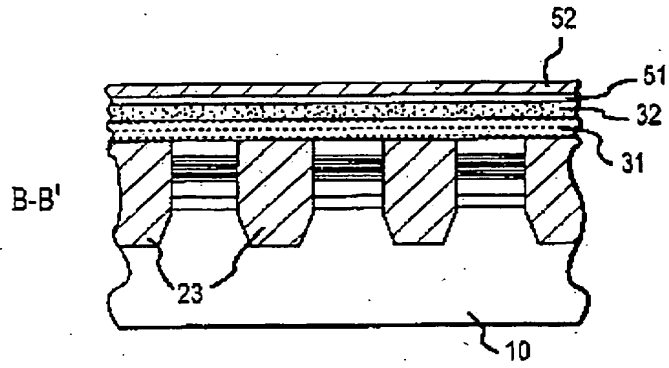
도 5b



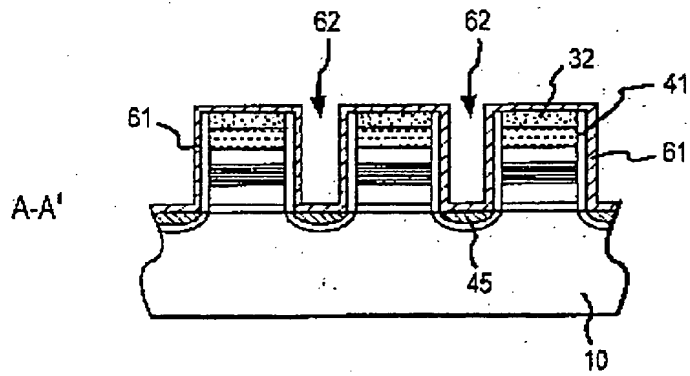
도 5c



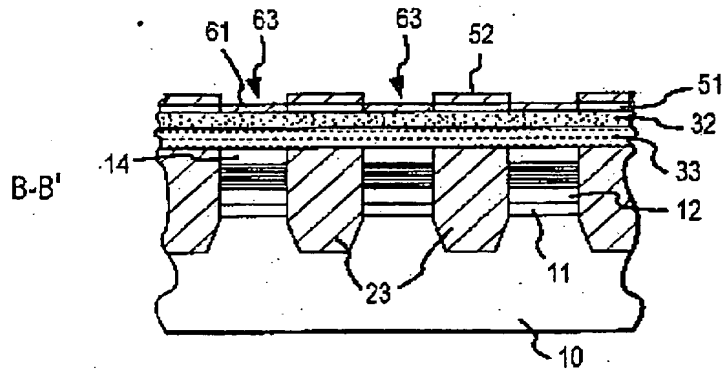
도 7b



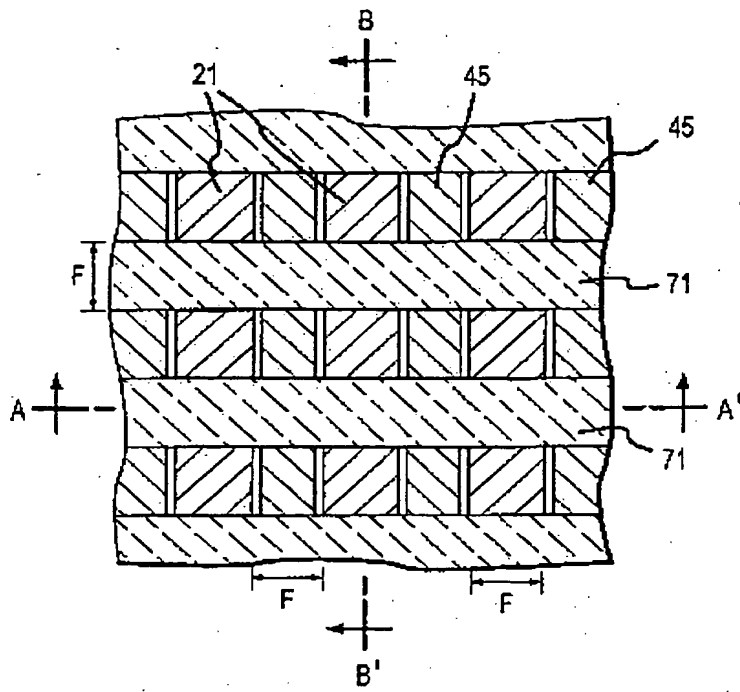
도 7a



도 7b



도 8a



도 8b

